

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

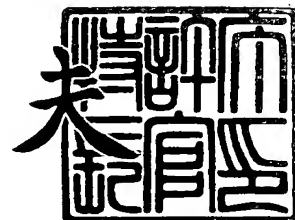
出 願 番 号 特 願 2 0 0 3 - 0 8 6 4 6 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 6 4 6 6]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 4 - 3 0 0 4 6 5 9

【書類名】 特許願

【整理番号】 KGA1030030

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 新井 啓之

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 茂木 修治

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 木村 毅

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 徳永 哲也

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100071283

【弁理士】

【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 蛍光表示管駆動回路

【特許請求の範囲】

【請求項 1】 蛍光表示管のフィラメントをパルス電圧にてパルス駆動するための蛍光表示管駆動回路において、

前記パルス電圧のレベルが固定されたことを検出し、前記検出の結果を表す検出信号を出力する検出手段と、

前記検出信号に基づいて、前記パルス電圧の異常を通知するための信号を出力する手段と、

を有することを特徴とする蛍光表示管駆動回路。

【請求項 2】 前記検出手段は、

前記パルス電圧の所定期間 T_P あたりのパルス数に基づき、前記パルス電圧のレベルが固定されたことを検出するパルス検出手段であることを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 3】 前記パルス検出手段は、

前記パルス電圧の所定期間 T_P あたりのパルス数をカウントし、

前記カウントした前記所定期間 T_P あたりのパルス数が基準パルス数 P_N 以下若しくは未満となる場合に、前記パルス電圧のレベルが固定されたことを表す前記検出信号を出力することを特徴とする請求項 2 に記載の蛍光表示管駆動回路。

【請求項 4】 前記検出手段は、

前記パルス電圧を積分した直流化電圧のレベルに基づき、前記パルス電圧のレベルが固定されたことを検出するレベル検出手段であることを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 5】 前記レベル検出手段は、

前記パルス電圧を積分した直流化電圧のレベルが、前記パルス電圧のレベルが固定されたことを示すレベルとなる期間を計測し、

前記計測した期間が、所定期間 T_L 以上若しくは越える場合に、前記パルス電圧のレベルが固定されたことを表す前記検出信号を出力することを特徴とする請求項 4 に記載の蛍光表示管駆動回路。

【請求項 6】 前記検出手段は、

前記パルス電圧の所定期間 TP あたりのパルス数に基づき、前記パルス電圧のレベルが固定されたことを検出するパルス検出手段と、

前記パルス電圧を積分した直流化電圧のレベルに基づき、前記パルス電圧のレベルが固定されたことを検出するレベル検出手段と、を有し、

前記パルス検出手段又は前記レベル検出手段のいずれか一方の動作に切り替え可能とすることを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 7】 前記蛍光表示管駆動回路は、

前記パルス検出手段又は前記レベル検出手段のいずれか一方の動作に切り替えるためのデータを外部から受信し、

前記外部から受信したデータに基づき、前記パルス検出手段又は前記レベル検出手段のいずれか一方の動作に切り替える手段を有することを特徴とする請求項 6 に記載の蛍光表示管駆動回路。

【請求項 8】 前記蛍光表示管駆動回路は、前記フィラメントをパルス駆動するためのパルス駆動信号を出力する半導体集積回路であり、前記パルス駆動信号に基づき前記パルス電圧を生成するスイッチング素子を外部に接続可能とすることを特徴とする請求項 1 乃至 7 のいずれかに記載の蛍光表示管駆動回路。

【請求項 9】 前記フィラメントをパルス駆動するためのパルス駆動信号を出力する前記蛍光表示管駆動回路であって、前記パルス駆動信号に基づき前記パルス電圧を生成するスイッチング素子を有することを特徴とする請求項 1 乃至 7 のいずれかに記載の蛍光表示管駆動回路。

【請求項 10】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続したことを特徴とする請求項 9 に記載の蛍光表示管駆動回路。

【請求項 11】 前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路であることを特徴とする請求項 9 に記載の蛍光表示管駆動回路。

【請求項 12】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記パルス電圧を積分して直流化電圧にするための積分手段を外部に接続可能とする

ことを特徴とする請求項 4 乃至 7 のいずれかに記載の蛍光表示管駆動回路。

【請求項 13】 前記パルス電圧を積分して直流化電圧にするための積分手段を有することを特徴とする請求項 4 乃至 7 のいずれかに記載の蛍光表示管駆動回路。

【請求項 14】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記積分手段を外部に接続したことを特徴とする請求項 13 に記載の蛍光表示管駆動回路。

【請求項 15】 前記蛍光表示管駆動回路は、前記積分手段を集積化した半導体集積回路であることを特徴とする請求項 13 に記載の蛍光表示管駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、蛍光表示管の信頼性を向上させる蛍光表示管駆動回路に関する。

【0002】

【従来の技術】

蛍光表示管 (Vacuum fluorescent Display、以下、VFD と称す) は、真空容器の中で、フィラメントと呼ばれる直熱形カソードに電圧を印加してフィラメントを発熱させることにより熱電子を放出させ、その熱電子をグリッド電極にて加速させてアノード (セグメント) 電極上の蛍光体に衝突発光させることにより所望のパターンを表示する自発光型の表示デバイスのことである。VFD は、視認性、多色化、低動作電圧、信頼性 (耐環境性) などの面において優れた特徴を有しており、自動車用、家電用、民生用など様々な用途・分野において利用されている。

【0003】

ここで、VFD では、フィラメントやその配線に関して短絡や断線が生じる場合や、フィラメントの配線と他の電極 (アノード電極やグリッド電極) の配線との間で短絡が生じる場合、又は、フィラメントを駆動する素子が故障する場合などにおいて、フィラメントに係る異常な状態を放置したままでは、フィラメントが損傷したり、フィラメントの発火を招く危険性が生じることになる。その

ため、VFDに対して、フィラメントに係る異常な状態を速やかに検出する仕組みが求められている。

【0004】

図7は、前述した仕組みの一つとして、フィラメント11に印加されるフィラメント電圧の異常を検出するための従来の仕組みを説明する図である。なお、同図では、フィラメント11に電圧を印加する方式として、フィラメントの通常の定格電圧と比べてかなり高い直流電圧をチョッピングしたパルス電圧（以下、フィラメントパルス電圧と称す）を印加するパルス駆動方式を用いた例を示している。すなわち、パルス駆動方式は、フィラメントパルス電圧が高電位側に固定されるといった異常が発生した場合、他の方式（直流（DC）駆動方式、交流（AC）駆動方式）と比べて、フィラメント11の損傷や発火等の進行が早いので、フィラメントパルス電圧の異常を速やかに検出することが重要な課題となる。

【0005】

図7において、マイコンなどの外部コントローラ40は、所望のデューティ比に設定されたパルス駆動信号をフィラメント駆動回路110に出力する。そして、フィラメント駆動回路110は、外部コントローラ110から受信したパルス駆動信号に基づくスイッチング動作によって、フィラメント11駆動用の電源からフィラメントパルス電圧を生成し、フィラメント11に印加する。ここで、外部コントローラ40は、フィラメント11に印加されるフィラメントパルス電圧に関して、例えば、フィラメントパルス電圧のパルス幅や電圧レベルを検出する検出手段を備えている。外部コントローラ40は、前記検出手段によって検出されたフィラメントパルス電圧のパルス幅や電圧レベルに応じて、フィラメント駆動回路110に出力するパルス駆動信号のデューティ比の設定を調整するといったフィードバック制御を行っていた。

【0006】

なお、前述したような従来の仕組みは、例えば、以下に示す特許文献1に開示されている。

【0007】

【特許文献1】

特開 2002-108263 号公報

【0008】

【発明が解決しようとする課題】

従来のフィラメントパルス電圧の異常を検出する仕組みは、前述したように、外部コントローラ 40 が、フィラメントパルス電圧のパルス幅や電圧レベル等を検出し、その検出した値に応じて、フィラメントパルス電圧に対して所望のフィードバック制御を行っている。しかしながら、このことは、外部コントローラ 40 における処理負荷を増大させる要因となっていた。また、外部コントローラ 40 は、自身の処理負荷の増大によって、フィラメントパルス電圧の異常を検出してから、異常時の所定の処理（例えば、フィラメント駆動回路 110 の電源をオフする等）を実行するまでにかなりの時間を要してしまい、フィラメント 11 の損傷や発火などに至らしめるという問題点を有していた。

本発明は、以上のような経緯に基づいてなされたものであり、VFD の信頼性を向上させる VFD 駆動回路を提供することである。

【0009】

【課題を解決するための手段】

前記課題を解決するための主たる本発明は、蛍光表示管のフィラメントをパルス電圧にてパルス駆動するための蛍光表示管駆動回路において、前記パルス電圧のレベルが固定されたことを検出し、前記検出の結果を表す検出信号を出力する検出手段と、前記検出信号に基づいて、前記パルス電圧の異常を通知するための信号を出力する手段と、を有することとする。

本発明に係る蛍光表示管駆動回路は、前述したような特徴を有することによって、マイコンなどの外部コントローラの処理負荷を減少させることができる。また、このことは、蛍光表示管のフィラメントに印加されるパルス電圧の異常を速やかに検出することが可能となり、蛍光表示管の信頼性（特に、蛍光表示管のフィラメントに対する信頼性）を向上させることができる。

本発明の他の特徴については、添付図面及び本明細書の記載により明らかにする。

【0010】

【発明の実施の形態】

=== 開示の概要 ===

以下の開示により、少なくとも次のことが明らかにされる。

蛍光表示管のフィラメントをパルス電圧にてパルス駆動するための蛍光表示管駆動回路において、前記パルス電圧のレベルが固定されたことを検出し、前記検出の結果を表す検出信号を出力する検出手段と、前記検出信号に基づいて、前記パルス電圧の異常を通知するための信号を出力する手段と、を有する。

【0 0 1 1】

ここで、前述の「検出手段」とは、後述の「異常検出手段」であり、前述の「検出信号」として後述の「異常検出信号」を出力する。また、前述の「前記パルス電圧の異常を通知するための信号」とは、例えば、後述の外部コントローラに出力する「異常検出フラグ A N F」のデータのことである。

【0 0 1 2】

本発明に係る蛍光表示管駆動回路は、前述したような特徴を有することによって、マイコンなどの外部コントローラの処理負荷を減少させることができる。また、このことは、蛍光表示管のフィラメントに印加されるパルス電圧の異常を速やかに検出することが可能となり、蛍光表示管の信頼性（特に、蛍光表示管のフィラメントに対する信頼性）を向上させることができる。

【0 0 1 3】

本発明の第 2 の態様について、前記検出手段は、前記パルス電圧の所定期間 T P あたりのパルス数に基づき、前記パルス電圧のレベルが固定されたことを検出するパルス検出手段とする。

【0 0 1 4】

本発明の第 3 の態様について、前記パルス検出手段は、前記パルス電圧の所定期間 T P あたりのパルス数をカウントし、前記カウントした前記所定期間 T P あたりのパルス数が基準パルス数 P N 以下若しくは未満となる場合に、前記パルス電圧のレベルが固定されたことを表す前記検出信号を出力する。

本発明に係る蛍光表示管駆動回路は、前述したようなパルス検出手段を有することによって、パルス電圧が、H レベル又は L レベルのいずれか一方のレベルに

固定された場合であっても検出可能である。また、パルス検出手段は、後述の「レベル検出手段」と比較して、後述の「ローパスフィルタ（積分手段）」を必要としないので、部品点数が少なく済むというメリットを奏する。

【0015】

本発明の第4の態様について、前記検出手段は、前記パルス電圧を積分した直流化電圧のレベルに基づき、前記パルス電圧のレベルが固定されたことを検出するレベル検出手段とする。

【0016】

本発明の第5の態様について、前記レベル検出手段は、前記パルス電圧を積分した直流化電圧のレベルが、前記パルス電圧のレベルが固定されたことを示すレベルとなる期間を計測し、前記計測した期間が、所定期間 T_L 以上若しくは越える場合に、前記パルス電圧のレベルが固定されたことを表す前記検出信号を出力する。

本発明に係る蛍光表示管駆動回路は、前述したようなレベル検出手段を有することによって、パルス電圧のレベルが固定されたことを検出できる。また、フィラメントへの電力供給量には制限があるので、パルス電圧は、通常“5～20%”程度の低い範囲内（所定のデューティー比）に設定されている。このため、パルス電圧のレベルが固定されたことが検出されることによって、パルス電圧が、所定のデューティー比であるか否かを検出可能である。

【0017】

本発明の第6の態様について、前記パルス電圧の所定期間 T_P あたりのパルス数に基づき、前記パルス電圧のレベルが固定されたことを検出するパルス検出手段と、前記パルス電圧を積分した直流化電圧のレベルに基づき、前記パルス電圧のレベルが固定されたことを検出するレベル検出手段と、を有し、前記パルス検出手段又は前記レベル検出手段のいずれか一方の動作に切り替え可能とする。

【0018】

本発明の第7の態様について、前記蛍光表示管駆動回路は、前記パルス検出手段又は前記レベル検出手段のいずれか一方の動作に切り替えるためのデータを外部から受信し、前記外部から受信したデータに基づき、前記パルス検出手段又は

前記レベル検出手段のいずれか一方の動作に切り替える手段を有する。

ここで、前述した「外部から受信するデータ」とは、後述の「ADS設定データ」のことである。また、前述した「切り替え手段」とは、後述の「異常検出手段の選択手段」などを含めた蛍光表示管駆動回路の制御手段のことである。

このようにして、本発明に係る蛍光表示管駆動回路は、前述したような切り替え手段を有することによって、パルス検出手段又はレベル検出手段のいずれか一方の検出手段を用いて、蛍光表示管のフィラメントに印加されるパルス電圧が固定されたことを検出可能である。また、時分割方式にて、パルス検出手段とレベル検出手段を交互に切り替えて動作させるようにしてもよい。

【0019】

本発明の第8の態様について、前記蛍光表示管駆動回路は、前記フィラメントをパルス駆動するためのパルス駆動信号を出力する半導体集積回路であり、前記パルス駆動信号に基づき前記パルス電圧を生成するスイッチング素子を外部に接続可能とする。

なお、前述した「スイッチング素子」とは、例えば、Pch-MOS型FETやNch-MOS型FETであり、本発明に係る蛍光表示管駆動回路は、このようなスイッチング素子を外部に接続可能とするインターフェース（後述のFP CON端子）を備えるようにしてもよい。

【0020】

本発明の第9の態様について、前記フィラメントをパルス駆動するためのパルス駆動信号を出力する前記蛍光表示管駆動回路であって、前記パルス駆動信号に基づき前記パルス電圧を生成するスイッチング素子を有する。

【0021】

このように、本発明では、本発明に係る蛍光表示管駆動回路を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、前述したようなスイッチング素子を備えるようにしてもよい。好ましくは、本発明の第10の態様として、前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続してもよいし、本発明の第11の態様として、前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路としてもよ

い。

【0022】

本発明の第12の態様について、前記蛍光表示管駆動回路は、半導体集積回路であり、前記パルス電圧を積分して直流化電圧にするための積分手段を外部に接続可能とする。

なお、前述した「積分手段」とは、後述の「ローパスフィルタ」のことであり、本発明に係る蛍光表示管駆動回路は、このような積分手段を外部に接続可能とするインターフェース（後述のDETIN端子）を備えるようにしてもよい。

【0023】

本発明の第13の態様について、前記パルス電圧を積分して直流化電圧にするための積分手段を有する。

【0024】

このように、本発明では、本発明に係る蛍光表示管駆動回路を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、前述したような積分手段を備えるようにしてもよい。好ましくは、本発明の第14の態様として、前記蛍光表示管駆動回路は、半導体集積回路であり、前記積分手段を外部に接続してもよいし、本発明の第15の態様について、前記蛍光表示管駆動回路は、前記積分手段を集積化した半導体集積回路としてもよい。

【0025】

=== 実施例 ===

以下、本発明の実施の形態を図面に基づいて具体的に説明する。

【0026】

<システム構成>

図1は、本発明に係る一実施形態であるVFD駆動回路20を含めたシステムの概略構成図である。同図に示すVFD駆動回路20では、フィラメント11に電圧を印加する方式としてパルス駆動方式を採用する。パルス駆動方式とは、フィラメント11の通常の定格電圧と比べてかなり高い直流電圧をチョッピングしたパルス電圧（以下、フィラメントパルス電圧と称す）をフィラメント11に印加する方式のことである。

【0027】

また、同図に示すVFD駆動回路20は、グリッド電極12及びセグメント電極13の駆動としてダイナミック駆動方式を採用し、グリッド電極12による表示桁数を"2"桁とし（このようなグリッド電極12の形態は、"1/2デューティー"と呼ばれている。）、セグメント数を"90"とする。なお、本発明に係るVFD駆動回路20は、前述したグリッド数（2桁）及びセグメント数（90セグメント）に限定されるものではなく、また、グリッド電極12及びセグメント電極13の駆動を、ダイナミック駆動方式又はスタティック駆動方式の少なくともいずれかを組み合わせた駆動方式としてもよい。例えば、スタティック駆動方式を採用した場合は、セグメント数分のセグメント電極13と、一つのグリッド電極12にて全ての桁表示を行う。この場合、一つのグリッド電極12には、一定の電圧（グリッド電圧）が印加される。

【0028】

なお、ダイナミック駆動方式及びスタティック駆動方式の概要としては、例えば、産業図書発行の「ディスプレイ技術シリーズ 蛍光表示管8.2 基本的駆動回路（154頁～158頁）」に記載されている。

【0029】

つぎに、VFD駆動回路20の周辺回路に関して、VFD10、外部発振器30、外部コントローラ40、スイッチング素子50、ローパスフィルタ60、スイッチ手段70を順に説明する。

【0030】

VFD10は、フィラメント11、グリッド電極12、セグメント（アノード）電極13によって構成される。フィラメント11は、VFD駆動回路20からスイッチング素子50を介して、パルス駆動方式に基づいてフィラメントパルス電圧が印加されることによって加熱され、熱電子を放出する。グリッド電極12は、桁選択用の電極として作用し、フィラメント11から放出された熱電子を加速もしくは遮断する。セグメント電極13は、セグメント選択用の電極として作用する。なお、セグメント電極13の表面上には、表示すべきパターンの形状にて蛍光体が塗布されており、グリッド電極12にて加速された熱電子を、その蛍

光体に衝突発光させることによって、所望のパターンが表示されることになる。

【0031】

また、VFD10では、グリッド電極12からは各桁ごとに独立して別々にリード線が引き出される一方、セグメント電極13からは各桁ごとに対応するセグメントどうしを共通に内部接続してリード線が引き出される。これらのグリッド電極12及びセグメント電極13から引き出されたリード線は、それぞれVFD駆動回路20の対応する出力端子（グリッド出力端子はG1～G2、セグメント出力端子はS1～S45）と接続される。

【0032】

外部発振器30は、抵抗Rや容量素子Cなどによって構成されるRC発振手段であり、VFD駆動回路20の発振器用端子（OSCI端子、OSCO端子）と接続されることにより、RC発振回路を構成する。なお、外部発振器30は、固有の発振周波数を有する水晶振動子やセラミック振動子などとし、自走発振手段としての水晶又はセラミック発振回路を構成するようにしてもよい。また、外部発振器30は、他走発振用のクロック信号をVFD駆動回路20に供給する他走発振手段としてもよい。

【0033】

外部コントローラ40は、VFD駆動素子を含まないマイコンなどであり、シリアルデータ転送用のデータバスを介してVFD駆動回路20と接続されており、所定のデータ転送フォーマットにて、VFD10を駆動するために必要な信号をVFD駆動回路20に送信する。なお、外部コントローラ40とVFD駆動回路20との間のデータ転送としては、前述したシリアルデータ転送に限らず、パラレルデータ転送としてもよい。

【0034】

スイッチング素子50は、PchのMOS型FETであり、そのゲート端子が、後述するパルス駆動信号を出力するVFD駆動回路20のFPCON端子と接続されている。なお、スイッチング素子50としては、PchのMOS型FETに限定されず、例えば、NchのMOS型FETによる構成としてもよいし、NchのMOS型FETとPchのMOS型FETを組み合わせた構成としてもよ

い。また、スイッチング素子50は、VFD駆動回路20のFPCON端子から供給されるパルス駆動信号に応じてオン／オフ（スイッチング）動作することによって、フィラメント電源電圧VFLから、VFD10のフィラメント11に印加するフィラメントパルス電圧を生成する。

【0035】

なお、図1に示されているVFD駆動回路20のFPR端子は、スイッチング素子50の入出力特性に応じて、FPCON端子から出力されるパルス駆動信号の極性を設定するための入力端子であり、例えば、図1に示すように、スイッチング素子50にPch-MOS型FETを採用した場合には、FPR端子に電源電圧VDD（“H”固定）を接続する。また、スイッチング素子50にNch-MOS型FETを採用した場合には、FPR端子を接地（“L”固定）する。

【0036】

ローパスフィルタ60は、抵抗Rと容量素子Cとによって構成されるRC積分回路であり、入力側はスイッチング素子50のフィラメントパルス電圧の出力端子と接続され、出力側はVFD駆動回路20のDETIN端子と接続される。なお、ローパスフィルタ60を構成する抵抗Rと容量素子Cは、それぞれ、フィラメントパルス電圧を積分して直流化電圧とするために十分な大きさの定格値を有するものを使用する。すなわち、ローパスフィルタ60は、スイッチング素子50にて生成されたフィラメントパルス電圧が入力されると、このフィラメントパルス電圧を積分することで直流化電圧とし、VFD駆動回路20のDETIN端子に入力する手段となる。

【0037】

なお、ローパスフィルタ60は、後述のレベル検出手段において必要とされるVFD駆動回路20の外付け回路であり、後述のパルス検出手段では必要とされない。そこで、後述のパルス検出手段を使用する場合には、ローパスフィルタ60を取り外し、スイッチング素子50にて生成されたフィラメントパルス電圧をVFD駆動回路20のDETIN端子に入力するようにしてもよい。

【0038】

あるいは、同図に示すように、ローパスフィルタ60の抵抗（若しくはローパ

スフィルタ 60 自体) と並列接続するスイッチ手段 70 を備え、後述のパルス検出手段を使用する場合には、ローパスフィルタ 60 の抵抗を短絡(若しくはローパスフィルタ 60 自体を短絡)させるようにスイッチ手段 70 を動作させるようにしてもよい。この場合、スイッチ手段 70 を動作させるための制御信号は、外部コントローラ 40 から直接スイッチ手段 70 に供給するようにしてもよいし、外部コントローラ 40 から VFD 駆動回路 20 を介してスイッチ手段 70 に供給するようにしてもよい。

【0039】

図 2 は、外部コントローラ 40 と VFD 駆動回路 20 との間のデータ転送フォーマットについてのタイミングチャートである。なお、同図に示すように、データ転送フォーマットとしては、グリッド電極 G1 に関するシーケンス(以下、G1 シーケンスと称す)と、グリッド電極 G2 に関するシーケンス(以下、G2 シーケンスと称す)と、を有する。なお、データ転送フォーマットは、前述したフォーマットに限定されず、例えば、G1 シーケンス及び G2 シーケンスを一回のシーケンスにて実行してもよい。

【0040】

以下、G1 シーケンス及び G2 シーケンスについて概略的に説明する。

まず、外部コントローラ 40 は、同期クロック信号 CL と併せて VFD 駆動回路 20 に付与されたバスアドレス(8ビット)を VFD 駆動回路 20 に送信する。VFD 駆動回路 20 は、受信したバスアドレスが自身に付与されたバスアドレスか否かを識別する。そして、自身のバスアドレスであると識別すると、外部コントローラ 40 から受信したバスアドレスに付帯して送信される制御命令(後述のコントロールデータなど)を、自身への制御命令として受け付ける。このように、バスアドレスとは、個々の IC に付与された固有のアドレスのことであり、外部コントローラ 40 と複数の IC が同一のバスライン上に接続された実施形態において、外部コントローラ 40 が、同一のバスライン上の複数の IC を制御するために用いられる。

【0041】

つぎに、外部コントローラ 40 は、チップイネーブル信号 CE をアサート(H

レベルとする) して V F D 駆動回路 2 0 をイネーブル (選択) 状態とし、引き続いて、グリッド電極 G 1 に関する 4 5 ビットの表示データ (D 1 ~ D 4 5)、V F D 駆動回路 2 0 の各制御に用いられる 1 6 ビットのコントロールデータ等を送信する。なお、1 6 ビットのコントロールデータとしては、V F D 1 0 表示の輝度調整用データとしての 1 0 ビットのディマー調整データ (D M 0 ~ D M 9)、グリッド識別子 D D (例えば、グリッド電極 G 1 の場合は "1"、グリッド電極 G 2 の場合は "0" とする) 等を有する。

この後、外部コントローラ 4 0 は、チップイネーブル信号 C E をネゲート (L レベルとする) し、V F D 駆動回路 2 0 をディゼーブル (非選択) 状態にするとともに、同期クロック信号 C L の送信を停止し、G 1 シーケンスを完結することになる。

【0 0 4 2】

一方、G 2 シーケンスでは、前述した G 1 シーケンスと同様な手順にて、グリッド電極 G 2 に関する 4 5 ビットの表示データ (D 4 6 ~ D 9 0) が送信される。なお、G 2 シーケンスにおいて、V F D 駆動回路 2 0 に送信されるコントロールデータとしては、後述する A D S (Abnormal Detect type Select) 設定データを有する。

【0 0 4 3】

< V F D 駆動回路 >

図 3 は、本発明に係る V F D 駆動回路 2 0 のブロック図である。

V F D 駆動回路 2 0 は、インターフェース部 2 0 1、発振回路 2 0 2、分周回路 2 0 3、タイミング発生器 2 0 4、シフトレジスタ 2 0 5、コントロールレジスタ 2 0 6、ラッチ回路 2 0 7、マルチプレクサ 2 0 8、セグメントドライバ 2 0 9、グリッドドライバ 2 1 0、ディマー制御手段 2 1 1、フィラメントパルス制御手段 2 1 2 と、異常検出手段 2 1 3 を有する。

【0 0 4 4】

インターフェース部 2 0 1 は、外部コントローラ 4 0 との間において、図 2 に示したようなデータの送受信を行うインターフェース手段である。

発振回路 2 0 2 は、外部発振器 3 0 が発振器用端子 (O S C I、O S C O) と

接続されることによって、VFD駆動回路20に関する基準クロック信号を生成する。この基準クロック信号は、分周回路203によって所定の分周数に分周され、タイミング発生器204に供給される。

タイミング発生器204は、分周回路203から供給された信号に基づいて、グリッド電極G1～G2を駆動するための信号（以下、グリッド駆動信号と称す）のタイミング等を決定する信号（以下、内部クロック信号Aと称す）や、フィラメントパルス制御手段212において、パルス駆動信号のタイミング等を決定する信号（以下、内部クロック信号Bと称す）などを出力する。

【0045】

シフトレジスタ205は、前述したG1又はG2シーケンスごとにインターフェース部201にて受信した、45ビットの表示データ（D1～D45又はD46～D90）、16ビットのコントロールデータ（ディマー調整データ（DM0～DM9）等）をパラレルデータに変換し、コントロールレジスタ206、ラッチ回路207、フィラメントパルス制御手段212などに供給する。

コントロールレジスタ206は、シフトレジスタ205から供給される32（16ビット×2）ビットのコントロールデータを格納する。なお、コントロールデータに含まれるディマー調整データ（DM0～DM9）は、ディマー制御手段211に供給されることになる。

【0046】

ラッチ回路207は、シフトレジスタ205から供給された、グリッド電極G1に関しての45ビットの表示データ（D1～D45）及びグリッド電極G2に関しての45ビットの表示データ（D46～D90）を保持する。すなわち、ラッチ回路207は、グリッド電極G1～G2の駆動に係る繰り返し周期ごとに、90ビットの表示データ（D1～D90）を保持することになる。

【0047】

マルチプレクサ208は、グリッド電極G1～G2それぞれを駆動するタイミングにて、ラッチ回路207にて保持されている90ビットの表示データ（D1～D90）の中から、駆動する方のグリッド電極G1又はG2に関する45ビットの表示データを選択し、セグメントドライバ209に供給する。

【 0 0 4 8 】

セグメントドライバ 2 0 9 は、マルチプレクサ 2 0 8 にて選択・供給された 4 5 ビットの表示データに基づいて、セグメント電極 S 1 ～ S 4 5 を駆動するための信号を形成し、セグメント電極 S 1 ～ S 4 5 に出力する。なお、セグメント電極 S 1 ～ S 4 5 を駆動するための信号としては、セグメント電極 S 1 ～ S 4 5 に印加する電圧（以下、セグメント電圧）としてもよいし、セグメントドライバ 2 0 9 とセグメント電極 S 1 ～ S 4 5 の間に駆動素子を介在させ、その駆動素子へ供給する制御信号としてもよい（以下、前記セグメント電圧や前記制御信号を総称して、セグメント駆動信号と称す）。

【 0 0 4 9 】

グリッドドライバ 2 1 0 は、タイミング発生器 2 0 4 から供給される内部クロック信号 A に基づいて、グリッド駆動信号を形成し、グリッド電極 G 1 ～ G 2 に出力する。なお、グリッド電極 G 1 ～ G 2 を駆動するための信号としては、グリッド電極 G 1 ～ G 2 に印加する電圧（以下、グリッド電圧）としてもよいし、グリッドドライバ 2 1 0 とグリッド電極 G 1 ～ G 2 の間に駆動素子を介在させ、その駆動素子へ供給する制御信号としてもよい（以下、前記グリッド電圧や前記制御信号を総称して、グリッド駆動信号と称す）。

【 0 0 5 0 】

デーマー制御手段 2 1 1 は、コントロールレジスタ 2 0 6 から供給されるデーマー調整データ（DM 0 ～ DM 9）に基づき、グリッド駆動信号やセグメント駆動信号のデューティ比を調整可能とする。

【 0 0 5 1 】

フィラメントパルス制御手段 2 1 2 は、タイミング発生器 2 0 4 から供給される内部クロック信号 B に基づいて、フィラメント 1 1 をパルス駆動するためのパルス駆動信号を形成し、F P C O N 端子を介してスイッチング素子 5 0 に出力する。また、フィラメントパルス制御手段 2 1 2 は、F P R 端子から供給される信号に基づいて、パルス駆動信号の極性を設定する。

異常検出手段 2 1 3 は、フィラメントパルス電圧のレベルが固定されたことを検出し、フィラメントパルス電圧の異常を通知するための信号を出力する手段で

ある。

【0052】

同図のVFD駆動回路20では、VFD表示を点灯可能な状態とする若しくは消灯するためのBLK端子を有している。BLK端子は、外部コントローラ40からデータを供給されるように接続される。例えば、BLK端子に外部コントローラ40から”1”が供給された場合、前述のグリッド駆動信号、セグメント駆動信号をLレベル、また、パルス駆動信号をHレベルに固定するように各制御手段が動作し、VFD表示を消灯させることができる。

以下、本発明において特徴的な動作を行う異常検出手段213について説明する。

【0053】

<異常検出手段>

本発明に係る異常検出手段213の一実施形態としての回路構成について図4を用いて説明する。

異常検出手段213は、同図に示すように、パルス検出手段80と、レベル検出手段90と、選択手段100と、を有する。

パルス検出手段80は、DETIN端子から入力されるフィラメントパルス電圧の所定期間TPあたりのパルス数に基づき、フィラメントパルス電圧のレベルが固定されたことを検出する手段である。

レベル検出手段90は、DETIN端子から入力されるフィラメントパルス電圧を積分した直流化電圧のレベルに基づき、フィラメントパルス電圧のレベルが固定されたことを検出する手段である。

【0054】

ところで、直流化電圧のレベルは、通常、フィラメント11への電力供給量に制限があるため、フィラメントパルス電圧のデューティ比が”5～20%”程度の低い範囲内で設定されている。このため、VFD駆動回路20内のIC（Integrated Circuit）においてLレベルとして認識される入力電圧の最大値 V_{ILmax} よりも低くなっている。すなわち、フィラメントパルス電圧が正常な場合、直流化電圧のレベルは、VFD駆動回路20内のICにおいてLレベルとして認識さ

れることになる。

また、直流化電圧のレベルは、フィラメントパルス電圧がHレベルに固定されるような異常が発生した場合、VFD駆動回路20内のICにおいてHレベルとして認識される入力電圧の最小値 V_{IHmin} よりも高くなっており、Hレベルとして認識されることになる。

このようにして、レベル検出手段90は、直流化電圧のレベルに基づき、フィラメントパルス電圧が固定されたことを検出することができる。

【0055】

選択手段100は、外部コントローラ40から受信した、前述したG2シーケンスのコントロールデータに含まれるADS (Abnormal Detect type Select) 設定データに基づき、例えば、ADS設定データが"0"の場合には、レベル検出手段90の出力を選択し、"1"の場合には、パルス検出手段80の出力を選択する。また、選択手段100は、選択した方のレベル検出手段90又はパルス検出手段80の出力を異常検出信号として出力する。なお、異常検出信号は、異常検出フラグANF (例えば、正常時"1"、異常時"0")として、DO端子から外部コントローラ40へ出力されることになる。

【0056】

このようにして、本発明に係るVFD駆動回路20は、マイコンなどの外部コントローラ40の処理負荷を減少させることができる。また、このことは、フィラメントパルス電圧のレベルが固定されたこと(異常)を速やかに検出することが可能となり、VFD10の信頼性(特に、VFD10のフィラメント11に対する信頼性)を向上させることができる。

以下では、パルス検出手段80とレベル検出手段90それぞれの一実施形態としての回路構成を説明する。

【0057】

<パルス検出手段>

まず、パルス検出手段80の一実施形態としての回路構成に関して、図4を用いて説明する。

パルス検出手段80は、第1のカウント手段801と、Dフリップフロップ8

0 2 と、R S フリップフロップ 8 0 3 とによって構成される。

【 0 0 5 8 】

第 1 のカウント手段 8 0 1 は、D E T I N 端子から入力されたフィラメントパルス電圧の所定期間 T P あたりのパルス数をカウントし、そのカウントしたカウント数が基準パルス数 P N 以下若しくは未満であれば、フィラメントパルス電圧のレベルが固定されたことを示す一方のレベル（例えば、“ 1 ”）を出力する。また、前記カウント数が、基準パルス数 P N を越える若しくは以上となる場合に、フィラメントパルス電圧が正常であることを示す他方のレベル（例えば、“ 0 ”）を出力する。

【 0 0 5 9 】

なお、第 1 のカウント手段 8 0 1 は、前記カウント数を、所定期間 T P の終端を特定するための信号（以下、内部リセット信号（図 5（B））と称す）が立ち上がるタイミングにてリセットする。ここで、所定期間 T P は、例えば、各グリッド電極 G 1 ～ G 2 それぞれを駆動する期間とする。また、基準パルス数 P N は、ノイズがカウントされる場合を想定して、9 パルス程度とする。

【 0 0 6 0 】

D フリップフロップ 8 0 2 は、第 1 のカウント手段 8 0 1 の出力を、内部リセット信号によってラッチするとともに、次段の R S フリップフロップ 8 0 3 に出力する。

R S フリップフロップ 8 0 3 は、D フリップフロップ 8 0 2 の出力を保持する手段である。R S フリップフロップ 8 0 3 は、D フリップフロップ 8 0 2 の出力として“ 1 ”が S 端子に入力されると、異常検出信号をセットする。なお、この異常検出信号がセットされた状態は、B L K I N 信号（B L K 端子から入力された信号）が R 端子に入力されるまで保持されることになる。すなわち、外部コントローラ 4 0 側において、フィラメントパルス電圧の異常が確認され、異常時の処理形態の一つとして、V F D 1 0 の表示を消灯するために B L K 端子へ“ 1 ”が入力されると、異常検出信号はリセットされることになる。

【 0 0 6 1 】

図 5 は、パルス検出手段 8 0 の動作を説明するためのタイミングチャートであ

る。なお、同図は、グリッド電極G1を駆動する期間（以下、グリッド電極G1期間と称す）内の時刻 t_1 において、DETIN端子から入力されるフィラメントパルス電圧（図5（C））のレベルが、Hレベルに固定される場合を想定したものである。また、時刻 t_0 から時刻 t_1 までの期間、第1のカウン手段801によってカウントされたフィラメントパルス電圧（図5（C））のパルス数は、基準パルス数PN（9パルス）を越える若しくは以上となっているものとする。

【0062】

まず、グリッド電極G1期間では、前述したとおり、時刻 t_1 において、フィラメントパルス電圧（図5（C））のレベルがHレベルに固定されるといった異常が発生する。しかしながら、時刻 t_0 から時刻 t_1 までの期間、第1のカウン手段801によってカウントされたフィラメントパルス電圧（図5（C））のパルス数は、基準パルス数PN（9パルス）を越える若しくは以上となる。そのため、グリッド電極G1期間の終端を特定するために内部リセット信号（図5（B））が立ち上がる時刻では、第1のカウン手段801の出力は、初期状態の“1”から“0”に切り替わっている。それ故に、Dフリップフロップ802及びRSフリップフロップ803では、内部リセット信号の立ち上がり（図5（B））によって“0”がラッチされ、その結果、異常検出信号（図5（D））はセットされないことになる。

【0063】

つぎに、グリッド電極G2を駆動する期間（以下、グリッド電極G2期間と称す）の開始時刻 t_2 では、グリッド電極G1期間において、第1のカウン手段801によってカウントされたカウン数がリセットされるとともに、フィラメントパルス電圧（図5（C））のパルス数が再びカウントされることになる。ここで、グリッド電極G2期間の終端を特定するために内部リセット信号（図5（B））が立ち上がる時刻までに、第1のカウン手段801によってカウントされたカウン数は、図5によると“0”パルス（すなわち、基準パルス数PN以下若しくは未満）であるので、第1のカウン手段801の出力は“1”のままである。そのため、内部リセット信号（図5（B））の立ち上がりによって、Dフリ

ップフロップ802及びRSフリップフロップ803では”1”がラッチされ、その結果、異常検出信号（図5（D））がセットされることになる。

【0064】

なお、異常検出信号（図5（D））は、異常検出フラグANFとして、DO端子から外部コントローラ40に対して出力される。そして、時刻t5において、異常検出フラグANFを読み取った外部コントローラ40が、VF D10の表示を消灯して初期化するという判断に基づいて、BLK端子に対して”1”を出力する場合を想定する。この場合、異常検出信号（図5（D））はリセットされることになる。ところで、その異常検出フラグANFを読み取って異常が検出された後の処理としては、前述したようにVF D10の表示を初期化してから再び点灯してもよいし、そのままVF D駆動回路20及びスイッチング素子50の電源をオフしてもよい。この処理判断については、あくまで、外部コントローラ40に委ねられる。

【0065】

このようにして、本発明に係るVF D駆動回路20は、前述したようなパルス検出手段80を有することによって、フィラメントパルス電圧が、Hレベル又はLレベルのいずれか一方のレベルに固定された場合であっても検出可能である。また、パルス検出手段80は、レベル検出手段90と比較して、ローパスフィルタ60を必要としないので、部品点数が少なく済むというメリットを奏する。

【0066】

<レベル検出手段>

つぎに、レベル検出手段90の一実施形態としての回路構成に関して、図4を用いて説明する。

レベル検出手段90は、第2のカウンス手段901と、RSフリップフロップ902とによって構成される。

【0067】

第2のカウンス手段901は、DET IN端子から入力されたフィラメントパルス電圧を積分した直流化電圧のレベルが、フィラメントパルス電圧が固定されたことを示すレベル（例えば、Hレベル）となる場合に、カウンタ動作を開始す

る。

【0068】

また、第2のカウンタ手段901は、直流化電圧のレベルがフィラメントパルス電圧が固定されたことを示すレベル（例えば、Hレベル）となる期間を、所定期間TXを有する内部クロック信号CXに基づいてカウントする。そして、そのカウントしたカウント数に内部クロック信号CXの周期TXを乗算した期間が、所定期間TL（例えば、グリッド電極G1～G2をそれぞれ駆動する期間の“408/3072≒0.133”倍程度）以上若しくは越える場合に、フィラメントパルス電圧が異常であることを示す一方のレベル（例えば、“1”）を出力する。

【0069】

一方、前記カウントしたカウント数に周期TXを乗算した期間が、所定期間TL未満若しくは以下となる場合、第2のカウンタ手段901は、フィラメントパルス電圧が正常であることを示す他方のレベル（例えば、“0”）を出力する。なお、前記カウントしたカウント数は、直流化電圧のレベルがフィラメントパルス電圧が正常であることを示すレベル（例えば、Lレベル）となる場合に、リセットされることになる。

【0070】

RSフリップフロップ902は、第2のカウンタ手段901の出力を保持する手段である。RSフリップフロップ902は、前述したパルス検出手段80のRSフリップフロップ803と同様に、第2のカウンタ手段901の出力として“1”がS端子に入力されると異常検出信号をセットする。この異常検出信号がセットされた状態は、BLKIN信号がR端子に入力されるまで保持されることになる。

【0071】

図6は、レベル検出手段90の動作を説明するためのタイミングチャートである。なお、時刻t1において、DETIN端子から入力されるフィラメントパルス電圧（図6（B））がHレベルに固定される場合を想定する。

【0072】

まず、時刻 t_0 から時刻 t_1 までの期間、直流化電圧（図 6（C））のレベルは、フィラメントパルス電圧（図 6（B））が正常であることを示す L レベルの状態にあるので、第 2 のカウンタ手段 901 は、カウンタ動作を開始しない。そのため、RS フリップフロップ 902 も動作せず、異常検出信号（図 6（D））はセットされない。

【0073】

つぎに、時刻 t_1 では、フィラメントパルス電圧（図 6（B））のレベルが、H レベルに固定されるとともに、直流化電圧（図 6（C））のレベルが、フィラメントパルス電圧（図 6（B））が異常であることを示す H レベルに固定される。ここで、第 2 のカウンタ手段 901 は、直流化電圧（図 6（C））のレベルが H レベルとなる期間を、所定周期 T_X を有する内部クロック信号 C_X に基づいてカウントするためのカウント動作を開始する。

【0074】

つぎに、時刻 t_2 では、第 2 のカウンタ手段 901 によって時刻 t_1 からカウントされたカウント数が、所定期間 T_L に対応した基準カウント数（図 4 に示す回路例では、“17”）以上若しくは越えることになるので、第 2 のカウンタ手段 901 は、フィラメントパルス電圧が異常であることを示す“1”を出力する。この第 2 のカウンタ手段 901 の出力は、RS フリップフロップ 902 の S 端子に入力され、異常検出信号（図 6（D））がセットされることになる。

【0075】

なお、異常検出信号（図 6（D））は、異常検出フラグ ANF として、DO 端子から外部コントローラ 40 へ出力される。そして、時刻 t_3 において、異常検出フラグ ANF を読み取った外部コントローラ 40 が、VFD10 の表示を消灯して初期化するという判断に基づいて、BLK 端子に対して“1”を出力する場合を想定する。この場合、異常検出信号（図 6（D））はリセットされることになる。ところで、その異常検出フラグ ANF を読み取って異常が検出された後の処理としては、前述したように VFD10 の表示を初期化してから再び点灯してもよいし、そのまま VFD 駆動回路 20 及びスイッチング素子 50 の電源をオフしてもよい。この処理判断については、あくまで、外部コントローラ 40 に委ねら

れる。

【0076】

このようにして、本発明に係るVFD駆動回路20は、前述したようなレベル検出手段90を有することによって、フィラメントパルス電圧のレベルが固定されたことを検出できるとともに、フィラメントパルス電圧が、通常のデューティ比“5～20%”であることも検出可能である。

【0077】

=== その他の実施形態 ===

前述した実施形態として、本発明に係るVFD駆動回路20は、パルス検出手段80において、フィラメントパルス電圧の所定期間TPあたりのパルス数が、規定パルス数（例えば、所定期間TP／基準クロック信号の周期）以上若しくは越える場合に、異常検出信号をセットするようにしてもよい。

【0078】

例えば、フィラメントパルス電圧に対して位相のずれたパルス状のノイズが重畳される場合によって、フィラメントパルス電圧の所定期間TPあたりのパルス数が、規定パルス数以上若しくは越える場合も想定される。そこで、本発明に係るVFD駆動回路20は、フィラメントパルス電圧の所定期間TPあたりのパルス数が、規定パルス数以上若しくは越える場合に、フィラメントパルス電圧が固定されたものとして検出することができる。

【0079】

また、前述した実施形態として、本発明に係るVFD駆動回路20は、異常検出手段213において、パルス検出手段80と、レベル検出手段90と、を両方備えるとともに、パルス検出手段80又はレベル検出手段90の出力を選択する選択手段100を有しているが、パルス検出手段80又はレベル検出手段90のいずれか一方のみを備えるようにしてもよい。あるいは、時分割方式にて、パルス検出手段80及びレベル検出手段90を交互に切り替えて動作させるようにしてもよい。

【0080】

また、前述した実施形態として、本発明に係るVFD駆動回路20を用いた様

々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、スイッチング素子 50 を備えるようにしてもよい。好ましくは、VFD 駆動回路 20 は、半導体集積回路とし、スイッチング素子 50 を外部に接続可能としてもよいし、集積化したスイッチング素子 50 を内蔵した半導体集積回路としてもよい。

【0081】

また、前述した実施形態としてレベル検出手段 90 を動作させる場合、本発明に係る蛍光表示管駆動回路を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、ローパスフィルタ 60 を備えるようにしてもよい。好ましくは、VFD 駆動回路 20 は、半導体集積回路とし、ローパスフィルタ 60 を外部に接続してもよいし、集積化したローパスフィルタ 60 を内蔵した半導体集積回路としてもよい。

【0082】

【発明の効果】

本発明によれば、蛍光表示管の信頼性を向上させる蛍光表示管駆動回路を提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係る一実施形態としての蛍光表示管駆動回路を含めたシステムの概略構成図である。

【図 2】

本発明に係る一実施形態としての外部コントローラと蛍光表示管駆動回路との間のデータ転送フォーマットについてのタイミングチャートである。

【図 3】

本発明に係る一実施形態としての蛍光表示管駆動回路のブロック図である。

【図 4】

本発明に係る一実施形態としての異常検出手段の回路構成図である。

【図 5】

本発明に係る一実施形態としてのパルス検出手段の動作を説明するためのタイミングチャートである。

【図6】

本発明に係る一実施形態としてのレベル検出手段の動作を説明するためのタイミングチャートである。

【図7】

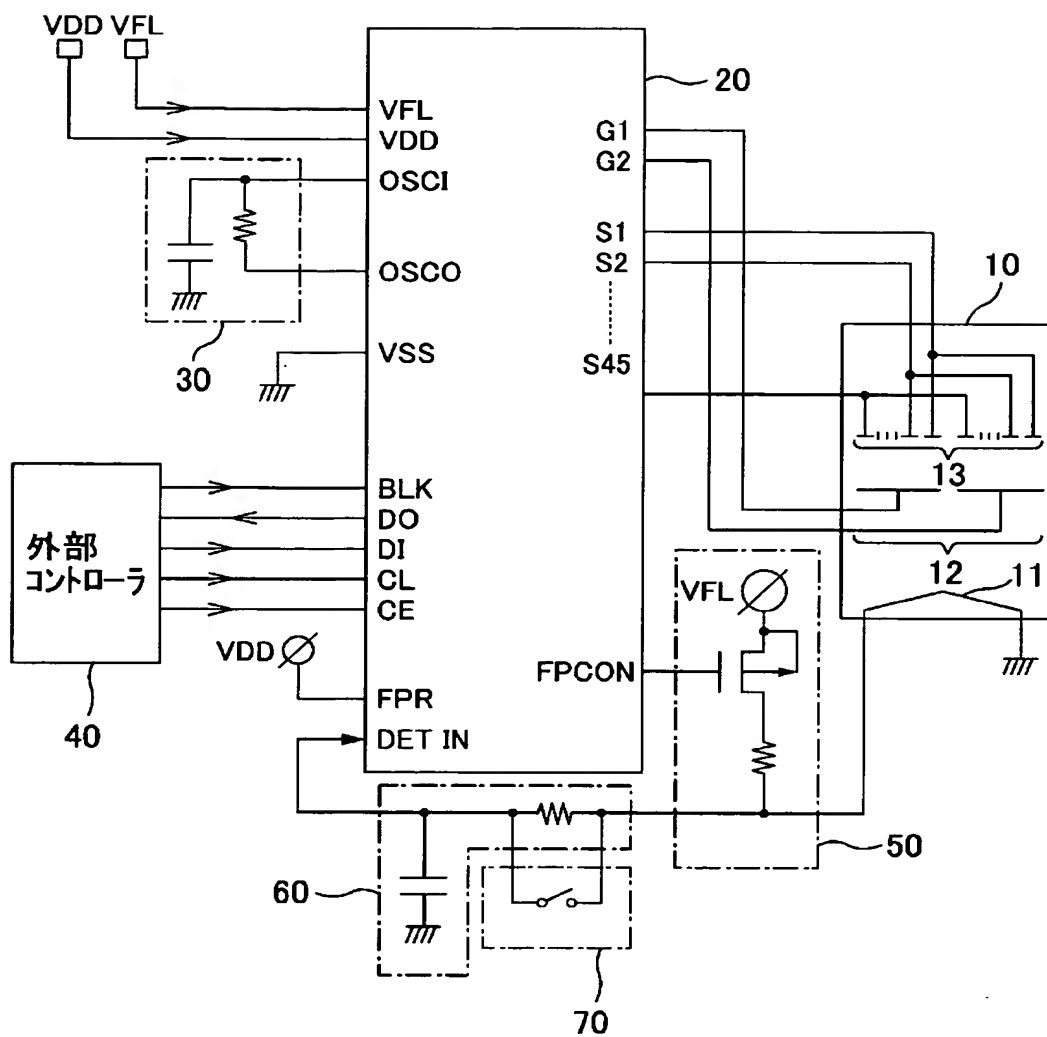
従来のフィラメントパルス電圧の異常を検出する仕組みを説明するための図である。

【符号の説明】

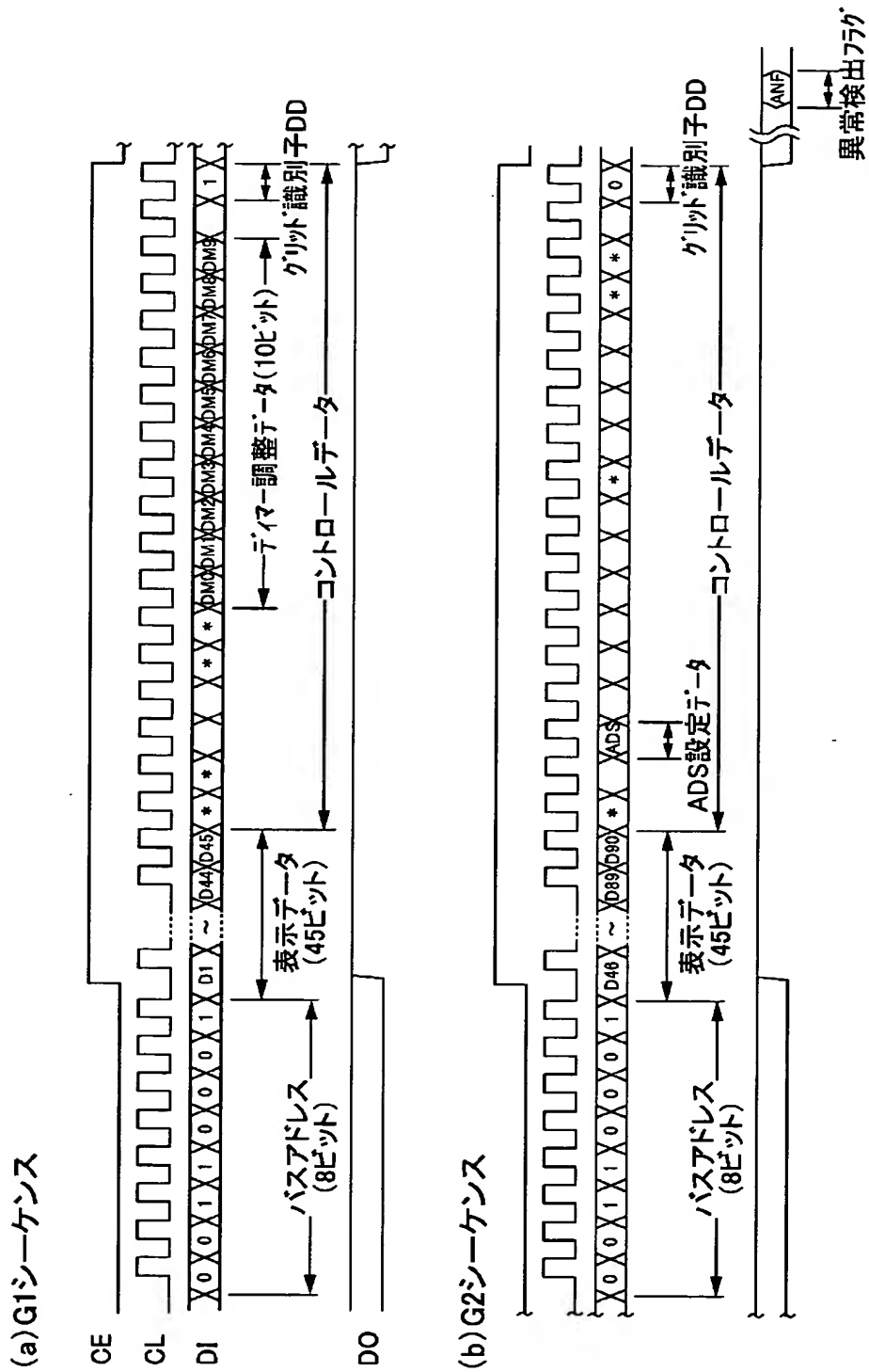
10	VFD	11	フィラメント
12	グリッド電極	13	セグメント電極
20	VFD駆動回路	201	インターフェース部
202	発振回路	203	分周回路
204	タイミング発生器	205	シフトレジスタ
206	コントロールレジスタ	207	ラッチ回路
208	マルチプレクサ	209	セグメントドライバ
210	グリッドドライバ	211	デイマー制御手段
212	フィラメントパルス制御手段	213	異常検出手段
30	外部発振器	40	外部コントローラ
50	スイッチング素子	60	ローパスフィルタ
70	スイッチ手段		
80	パルス検出手段	801	第1のカウンタ手段
802	Dフリップフロップ	803	RSフリップフロップ
90	レベル検出手段		
901	第2のカウンタ手段	902	RSフリップフロップ
100	選択手段		

【書類名】 図面

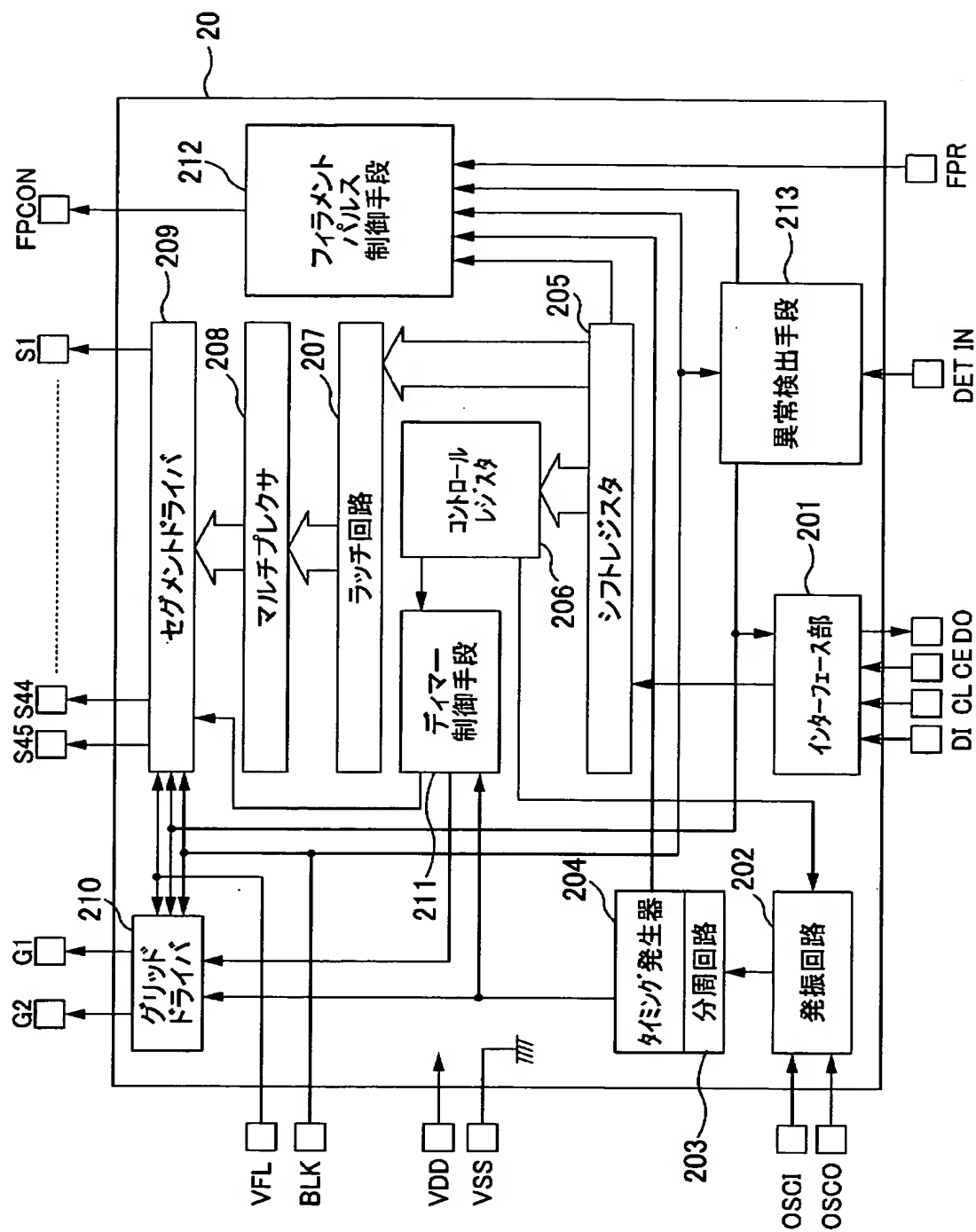
【図 1】



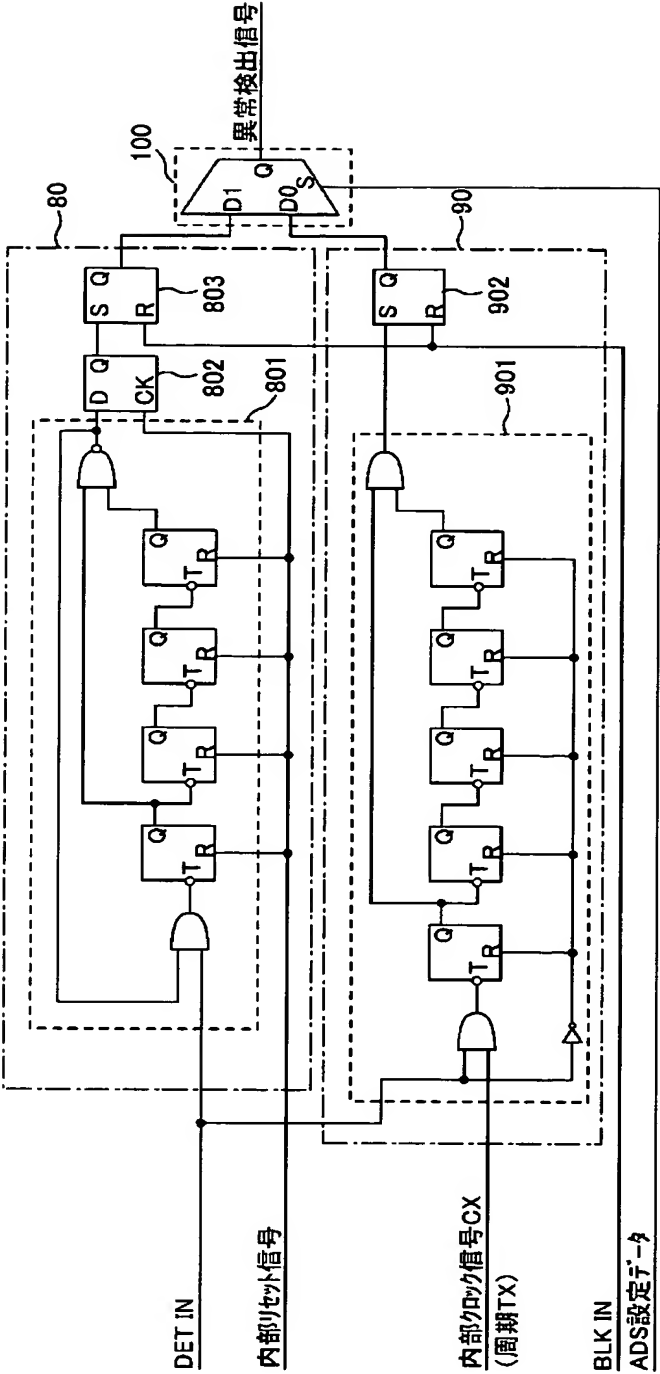
【図 2】



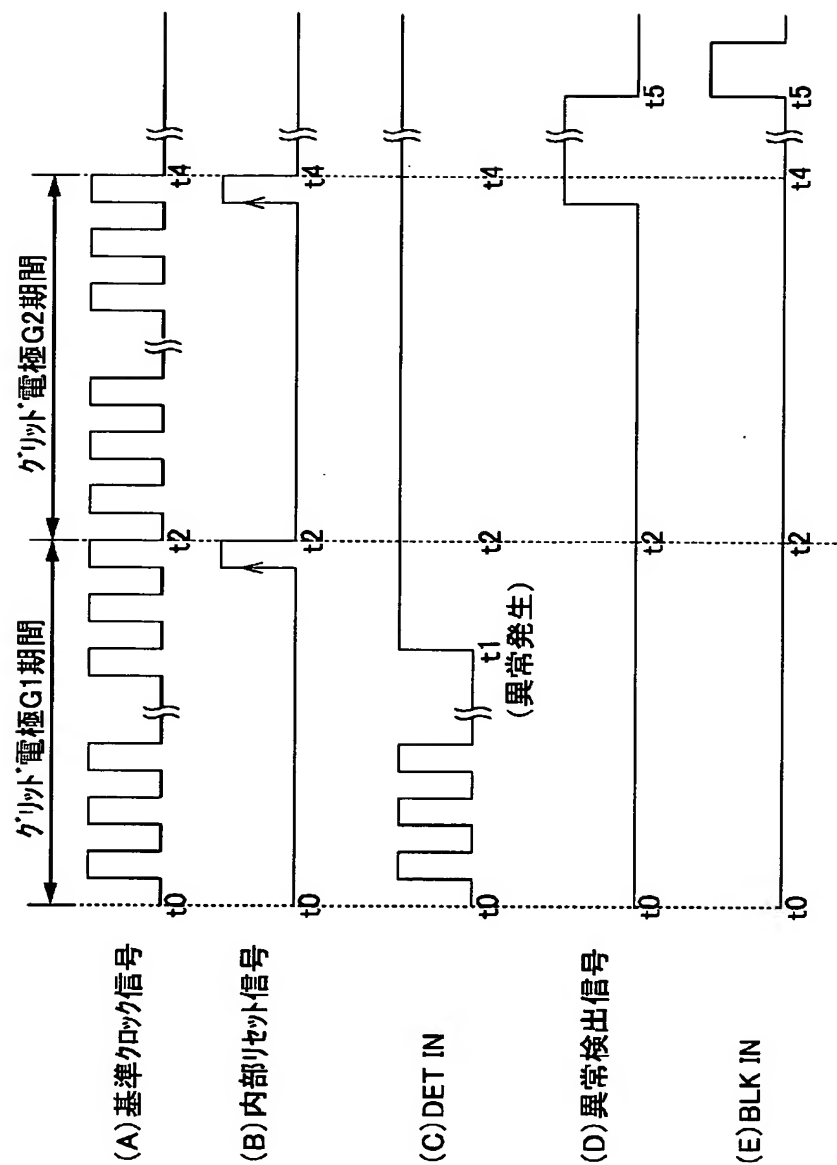
【図 3】



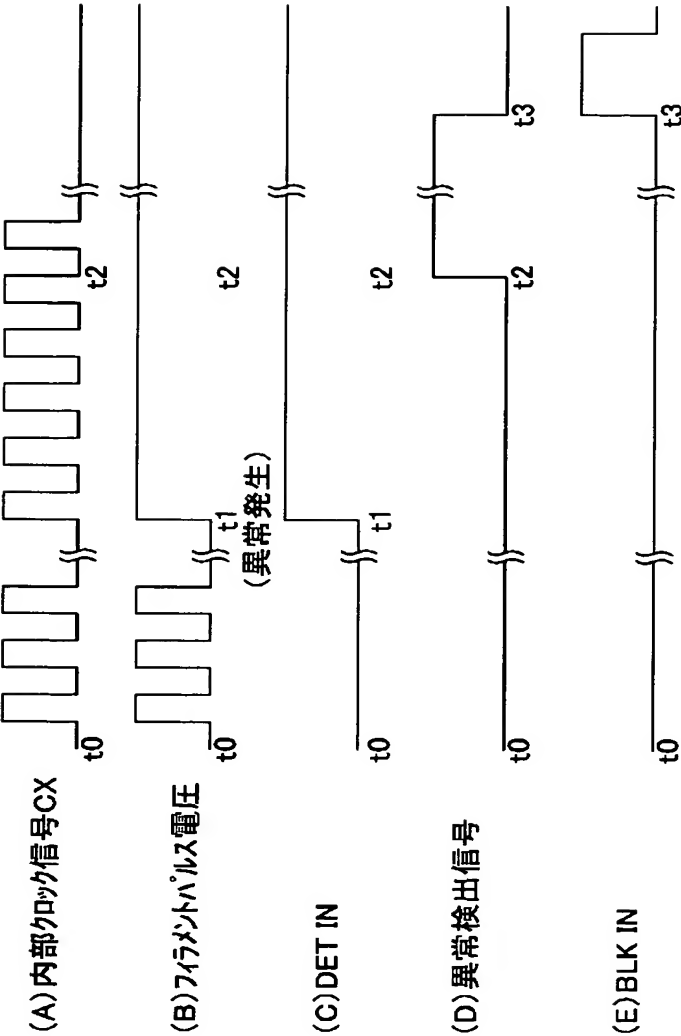
【図 4】



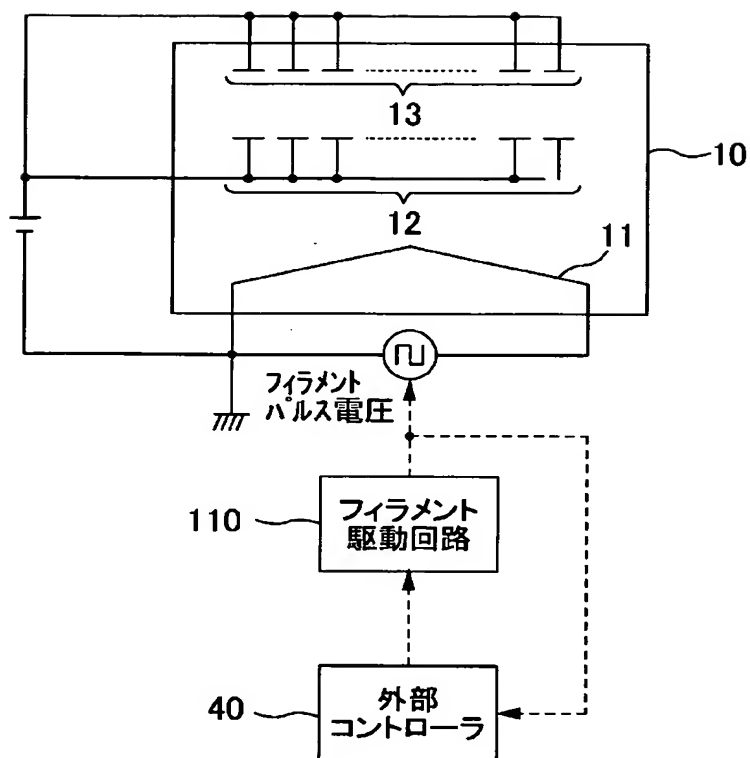
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【解決手段】 蛍光表示管のフィラメントをパルス電圧にてパルス駆動するための蛍光表示管駆動回路において、前記パルス電圧のレベルが固定されたことを検出し、前記検出の結果を表す検出信号を出力する検出手段と、前記検出信号に基づいて、前記パルス電圧の異常を通知するための信号を出力する手段と、を有する。

【選択図】 図 1

特願 2 0 0 3 - 0 8 6 4 6 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名 三洋電機株式会社